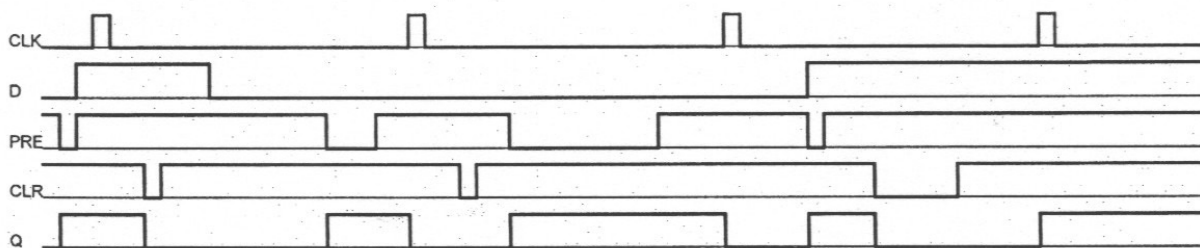


Přes jednoduchost zapojení je třeba upozornit na volbu velikosti jednotlivých obvodových součástek. Hodnota odporu jednotlivých rezistorů se volí stejná, obvykle 1 až 2 k Ω , ale není kritická. Podstatně větší váhu má volba hodnoty kondenzátoru. Aby kondenzátor neovlivňoval dobu trvání především druhé části periody, musí být časová konstanta zvolena tak, aby se kondenzátor nestihl nabít a vybit. Pro volbu kondenzátoru tedy používáme vztah

$$C \geq f/R \quad [F; Hz; \Omega]$$

6.5 Synchronní a asynchronní

Již v části vysvětlující bistabilní klopné obvody jsme se setkali se dvěma druhy vstupů, posuzováno z hlediska přenosu změny logické úrovně na výstup. Jednak to byly ty pro které změna na výstupu nastala okamžitě se změnou na vstupu. Druhé pak byly ty, kde se změna na výstup přenesla až v okamžiku příchodu hodinového impulsu. Rozdíl je to podstatný a velmi důležitý. Proto mají oba případy své vlastní pojmenování. Vstupy, pro které platí, že se změna přenáší okamžitě, nazýváme asynchronní. Vstupy, pro které platí, že se změna přenáší až s příchodem hodinového impulsu nazýváme synchronní. Synchronnost je vázána právě na hodinový signál. Připomeňme si obvod 74LS74. Ten má vstupy CLK, D, CLR a PRE. Obrázek pak ukazuje možný průběh signálů.



Rozdělme si tyto vstupy na synchronní a asynchronní. Změna úrovně na vstupu D se na výstup přenesla až s příchodem hodinového impulsu. Jedná se tedy o vstup synchronní. Naopak úroveň log 0 na vstupu CLR okamžitě vynuluje výstup Q. Podobně úroveň log 0 na vstup PRE okamžitě výstup nastaví. Tyto vstupy jsou tedy asynchronní. Jistě vás teď napadlo, jak je to se vstupem CLK. Může být signál synchronní nebo asynchronní sám se sebou? Ne nemůže, tento signál je zcela mimo a je to tzv. synchronizační signál. Uvědomte si, že synchronnost je vlastně časový vztah dvou signálů. Tedy, když jsou dva signály v takové vazbě, že se vždy mění současně, považujeme je za synchronní. Pokud jsou změny časově různé jsou to signály asynchronní. Samozřejmě mají asynchronní vstupy „převahu“ nad synchronními. Tedy pomocí asynchronního vstupu může být výstup nastaven tak, že se se změna na synchronním vstupu neuplatní. V souvislosti se synchronními vstupy je třeba ještě upozornit na dva parametry. Je to tzv. **předstih** a **přesah**. Jsou to časy, o které musí být na synchronním vstupu signál v ustáleném stavu před příchodem synchronizačního signálu a o kolik musí ještě zůstat po jeho skončení. Pojmy synchronní a asynchronní i předstih a přesah platí pro všechny sekvenční obvody. Toto rozdělení platí i pro vlastní obvody. RS je asynchronní, ale RST je synchronní.