

ÚVOD

ZÁKLADNÉ LOGICKÉ ČLENY

Všetky logické integrované obvody (IO) pracujú v dvojkovej sústave; sú citlivé len na dva druhy diskretných signálov.

a) Tzv. log.1 predstavuje vstupný signál $U_1 > 2,0 \text{ V}$. ten nesmie byť väčší než napájacie napätie $U_1 < U_{CC}$.

Typická hodnota býva $3 \text{ V} < U_1 < 4 \text{ V}$.

b) Tzv. log.0 zodpovedá vstupný signál $U_1 = 0 \div 0,8 \text{ V}$.

Typickou vlastnosťou logických IO je, že hradlá nereagujú na iné amplitúdy vstupného signálu.

Výstupný signál U_2 má hodnoty pri logickej 0 $U_2 = 0,4 \text{ V}$ a pri logickej 1 $U_2 \geq 2,5 \text{ V}$.

Radu s krátkymi spínacími dobami $t_S < 6 \text{ ns}$ nazývame „rýchlou“,

radu s $t_S = 15 \div 20 \text{ ns}$ „štandardnou“ a

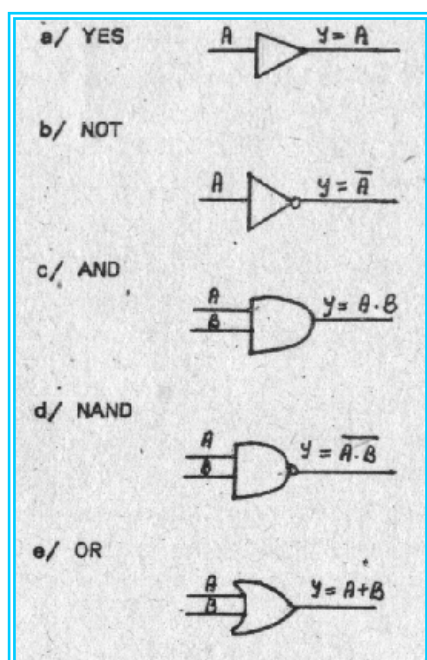
radu s $t_S > 30 \text{ ns}$, „výkonovou“.

Táto rada môže pracovať sa vstupnými signálmi $f_1 \leq 3 \text{ MHz}$, zatiaľ čo „rýchla“ výrobná rada až do 40 MHz.

Hradlom nazývame logický člen, ktorého činnosť (stav na výstupe) môžeme ovládať riadiacim signálom na zvláštnom vstupe tohto člena.

Hradlá sú podľa prispôsobenia schopné realizovať určité logické operácie.

Aby sme mohli ich operácie definovať, musíme najskôr špecifikovať druh logiky s ktorú hradlá pracujú.

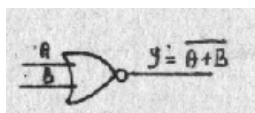


Sú dva základné druhy logiky –

- pozitívna a
- negatívna.

Ak je úroveň log.0 menšia než úroveň log.1, hovoríme o pozitívnej logike.

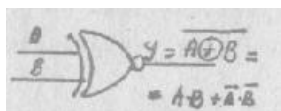
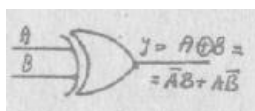
V prípade, že úroveň log.0 je väčšia než log.1, hovoríme o negatívnej logike.



Zložitejšie log. systémy sa rozdeľujú na :

- kombinačné logické obvody, ktorých reakcia odozvy je okamžitá v závislosti od kombinácie signálov na vstupe.
- Sekvenčná logické obvody sú pomalšie než kombinačné log. obvody, keďže obsahujú oneskorovacie pamäťové prvky. V dôsledku ktorých ovplyvní logický výsledok predchádzajúceho vstupu nový vstup.

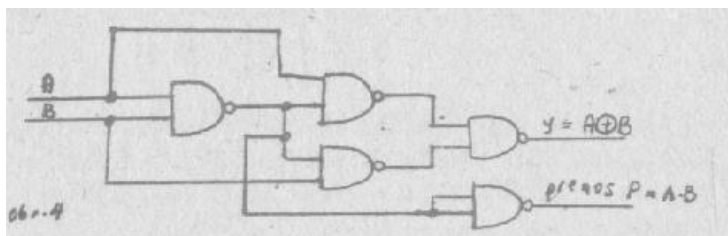
Kombináciou viacerých logických hradiel získame napr. exclusívny súčet, resp. sčítanie modulov t.j. $AB + BA$



Z pravidiel tabuľky vidíme, že na výstupe je logická úroveň logickej 1 len vtedy, ak na jednom zo vstupov je logická 1.

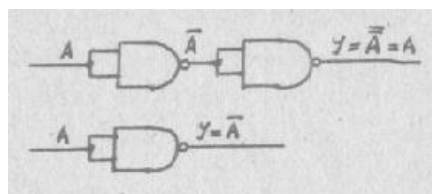
Logická funkcia neekvivalencie predstavuje hodnotu pri sčítaní v binárnej sústave ($0 + 0 = 0$, $0 + 1 = 1$, $1 + 0 = 1$, $1 + 1 = 0 +$ (prenos $P=1$)).

Na obr.4 je realizované zapojenie sčítačky, ktorá je základom tzv. ALU (aritmetickej jednotky) číslicového počítača.



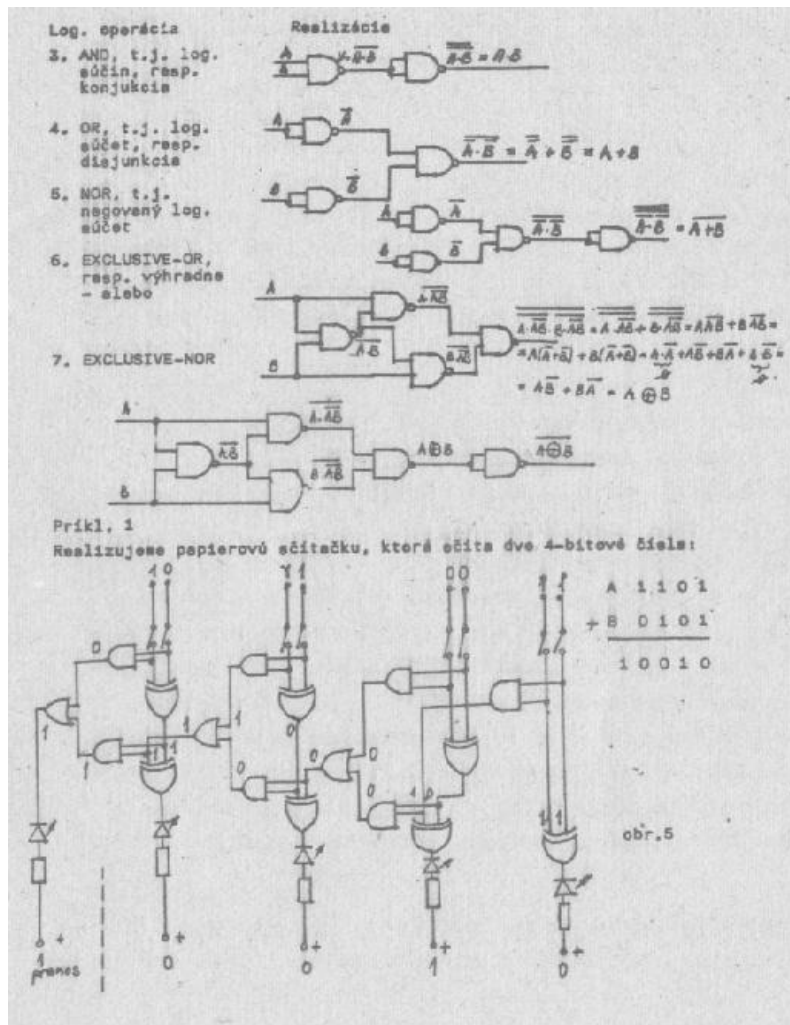
Obr. 4

Súčinové hradlá NAND používame na simulovanie log. funkcií.



Poznámka:

- vlastnosť exclusívneho súčtu je napr. využitá pri polovičnej sčítačke
- log. funkcia obvodov ekvivalencie a neekvivalencie sa využíva napr. pri porovnaní log. signálov v komparátoroch



18

Dvojková čítačka tvorí časť aritmeticko-logickej jednotky ALU mikroprocesora, kde sa realizujú rôzne logické operácie s dvomi vstupujúcimi slovami.

Príklad 2

Simulátor logických funkcií – zariadenie vhodné na určené log. operácií. (obr.6)

Toto zariadenie slúži na výučbu Boolovej algebry. Vstup zariadenia tvoria dva mikrospínače, pomocou ktorých sa dostáva log.1 resp. log.0 na vstup zariadenia. Vstup je indikovaný dvoma svietivými diódami, ktoré indikujú základné log. funkcie, konkrétne :

- prvá dióda – log. súčin $A * B$
- druhá dióda – implikácia $B \Rightarrow A$
- tretia dióda – implikácia $A \Rightarrow B$
- štvrtá dióda – ekvivalencia $A \text{ } \text{ } B$
- piata dióda – log. súčet $A + B$

Funkcia AND je tvorená hradlami H1 a H2 ($Y = A * B$).

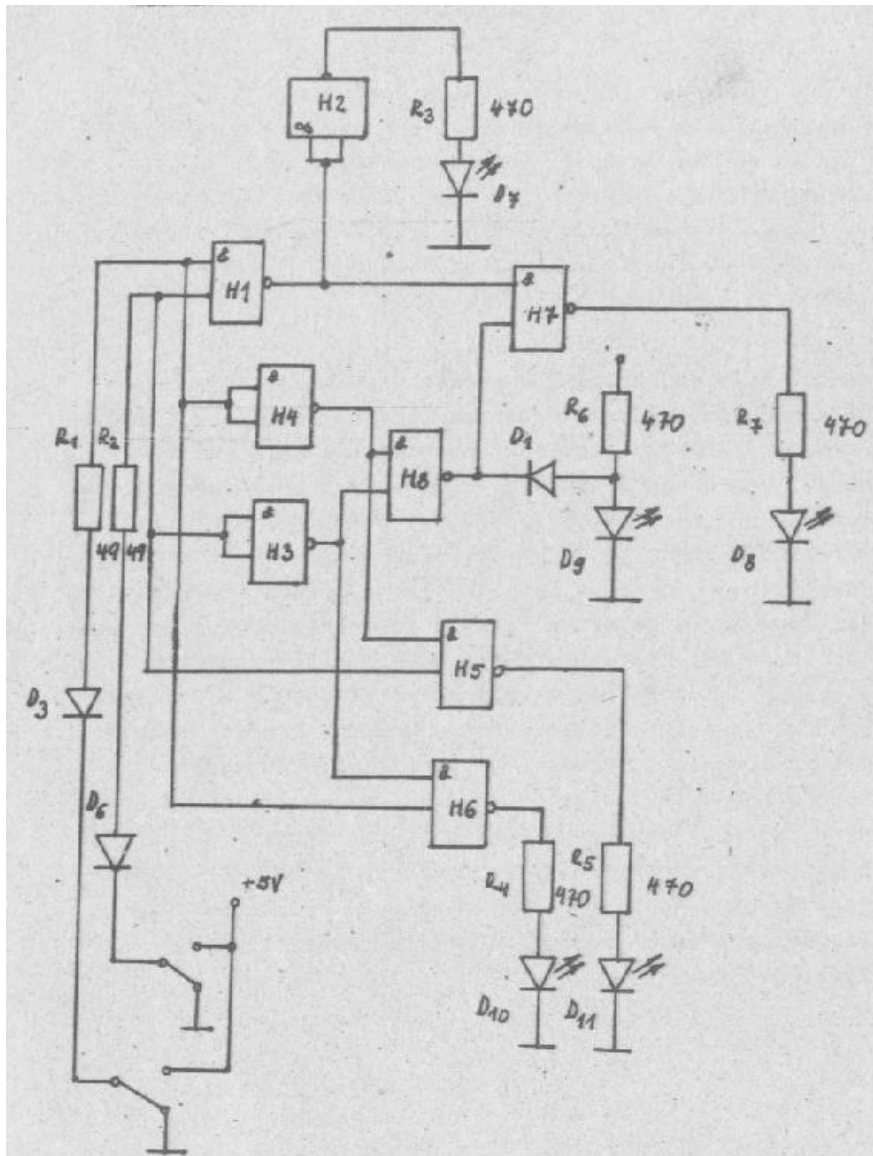
Implikácia $B \Rightarrow A$ je tvorená hradlami H4, H5 ($Y = A * B$).

Implikácia $A \Rightarrow B$ je tvorená hradlami H3, H5, ktoré tvoria funkciu $A * B$. log. súčet sa tvorí hradlami H3, H4 a H8.

Ekvivalencia sa tvorí pomocou log. súčtu hradlami H1 a H7. NA výstupe jednotlivých funkcií sú zapojené svietivé diódy. Z výstupu log. súčtu hradla H8 sa budí ďalšie hradlo. Keď je na výstupe hradla H8 úroveň log.0, napájacie napätie tečie cez diódu D1, v opačnom prípade svieti dióda D2.

Poznámka:

- Transmisná osnova – je základom Boolovej algebry.
Prítomnosti stavu zodpovedá 1 a neprítomnosti log. úrovne 0.
- Transmisná funkcia – je výraz obsahujúci písmená priradený vstupom log. hradiel.
- Antivalencia – znamená „obvod proti“.
Výsledok je vždy 1, ak sú vstupné veličiny opačné.
- Ekvivalencia – znamená “obvod rovnaký“.
Výsledok je 1, ak sú všetky vstupné veličiny rovnaké.



- Redundanciou rozumieme výroky, ktoré neprispievajú na určitú informáciu, a preto sú zbytočné. Môžu to byť prebytočné časti Boolovej funkcie.
- Negácia – znamená opačné tvrdenie.

Príklad 3

Na obr.7 je realizovaný overovač pravdivostnej tabuľky kombinačných obvodov. Vstup zariadenia sa tvorí 3 mikrospínačmi, ktorých stav cez invertor indikuje svietivá dióda. Pravdivostné tabuľky príslušných kombinačných obvodov sú na **str.14** t.j. NAND (typ MH 7400), AND (typ UCY 7408), NOR (typ UCY 7402) a EXCLUSIVE-OR (typ 7486). Rozsvietená LED znamená, že na vstupe skúšaného log. hradla je úroveň log.1, zhasnutá LED znamená úroveň log.0. Vstupy dvoch mikrospínačov podľa príslušného označenia na zariadení sú pripojené k jednému z hradiel

skúšaného IO, ktorých stav indikujú LED. Úroveň výstupného signálu skúšaného hradla indikuje tretia LED. Zmenou logických úrovní na vstupoch a výmenou skúšaných IO môžeme overiť všetky stavy v pravdivostnej tabuľke skúšaných kombinačných log. obvodov. Toto zariadenie sa používa pri výučbe funkcie a pravdivostnej tabuľky log. obvodov.

Príklad 4

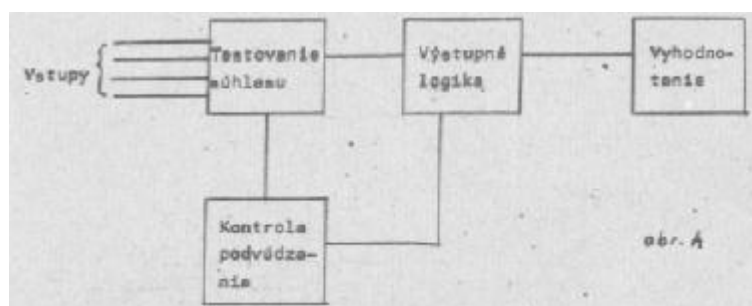
Na obr.A je bloková schéma testera na odskúšanie žiakov. Prístroj pracuje nasledovne:

Učiteľ aj žiak má k dispozícii 4 vstupy, zhodnosť ktorých kontroluje obvod na testovanie súhlasu. Tento obvod tvorí jedno 4-vstupové hradlo NAND MH 7420.

Výstup tohto hradla je pripojený k obvodu výstupnej logiky, ktorá v prípade nesprávnej odpovede alebo nezodpovedaniu **rozsvieti žiarovku – NESPRÁVNA ODPOVEĎ.**

V prípade súhlasu zhodnosti vyhodnotenej testerom, výstupná logika vyhodnotí správu odpovedí.

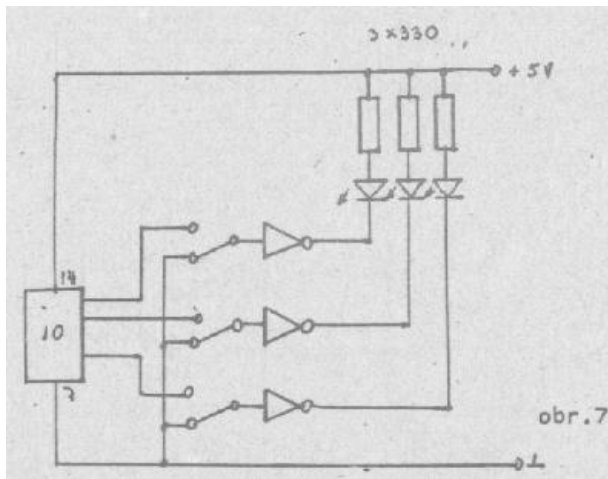
Na kontrolu podvádžania slúži IO MH 7400, MH 7410, MH 7420. Kontrola podvádžania vyšle impulz do výstupnej logiky vtedy, ak boli naraz stlačené dve alebo viac tlačidiel. Výstupná logika vyhodnotí podvádžanie rozsvietením **žiarovky PODVÁDZA.**



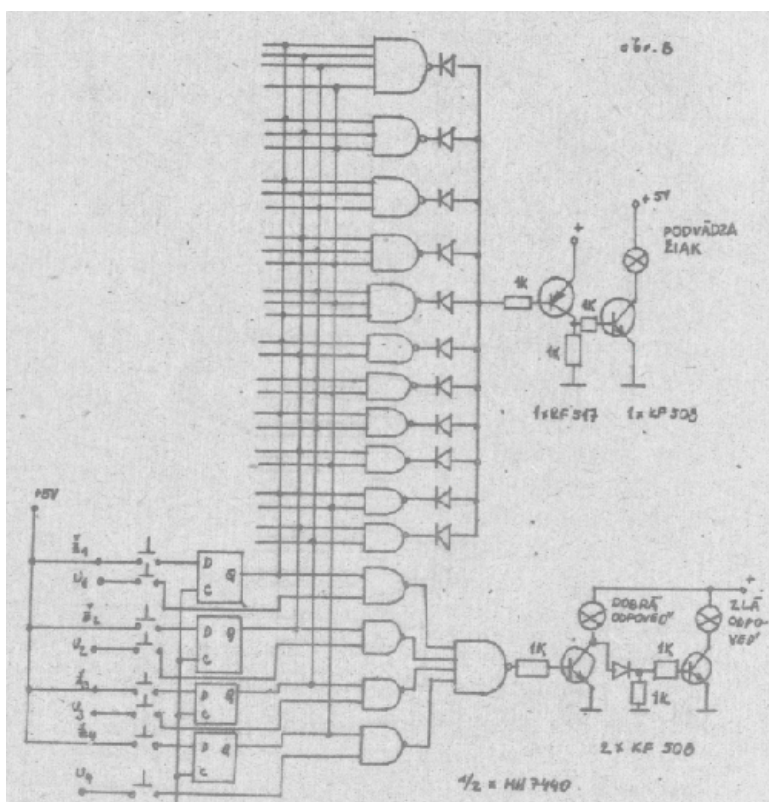
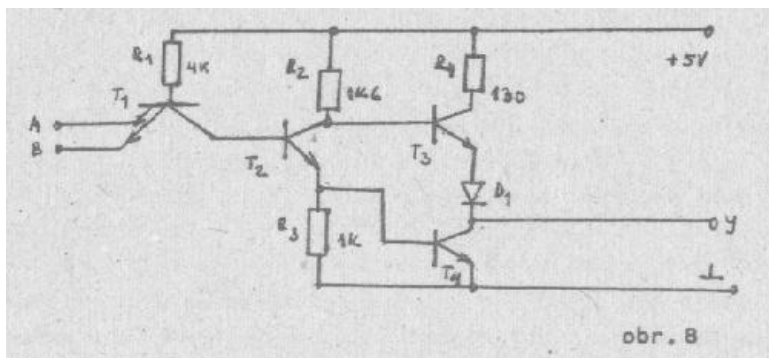
Kontrola podvádžania nemá vplyv na testovanie zhodností, t.j., že výstupná logika môže zhodnotiť správnu odpoveď aj vtedy, ak žiak podvádza.

Vstup žiaka je robený cez IO MH 7475, čím sa zabezpečí zmena odpovede žiaka.

Podrobná el. schéma je na **obr.B.**



VNÚTORNÁ ŠTRUKTÚRA ZÁKLADNÝCH LOGICKÝCH ČLENOV



V prípade, keď súčasne na oboch vstupoch A,B je úroveň log.1, pracuje tranzistor T1 v inverznom režime, takže do bázy tranzistora T2 tečie cez R1 a otvorený prechod báza-kolektor tranzistora T1 prúd, ktorý otvorí T2. Potom tečie prúd asi 1,8 mA cez R2 a R3, v dôsledku čoho sa utvorí úbytok napätia na R4 a otvorí sa prechod báza-emitor tranzistora T4.

V tomto stave je tranzistor T3 uzavretý. V tomto prípade sa obvod spáva tak, akoby bol výstup spojený so zemou (T4 otvorený do saturácie) a odpojený od napájacieho napätia (T3 nevodivý). Akonáhle bude aspoň na jednom so vstupov úroveň log.0 pracuje T1 v normálnom režime, je otvorený prúdom tečúcim do jeho bázy cez R1, t.j. prechod báza-emitor je v priepustnom stave. Stav na druhom emitore T1 otvorený, na emitore i na kolektore máme napätie blízke nule, v dôsledku čoho bude i na báze T2 napätie blízke nule, čiže T2 je uzavretý, na R3 nevzniká úbytok napätia. T4 je takisto uzavretý. Potom celý prúd z kladnej svorky napájania prechádza cez R2 a tečie do bázy T3, ktorý sa otvára a pripojuje výstup Y cez R4 a diódu D1 na napájanie.

Pri práci s log. členmi musíme rešpektovať požiadavky kladené na napájací zdroj a rozsah úrovní logických informácií jednak zo strany vstupov ako výstupu logického člena. Bez rizika sa zvyčajne pohybuje vstupná úroveň napätia v rozsahu napájacieho napätia, t.j. 0 až 5 V, pričom ako úroveň log.0 je definovaný signál v rozsahu 0 až 0,8 V a úroveň log.1 je definovaná signálom v rozsahu 2 ÷ 5 V.

Výstupné napätie log. obvodov je definované pre záťaž 10 vstupmi iných log. členov, resp. 40 vstupmi u výkonových hradiel tak, že úroveň log.0 je napätie menšie než 0,4 V a pre úroveň log.1 väčšie než 2,4 V.

Meraním na log. obvode zistíme, že k prechodu z jednej úrovne do druhej, dochádza pri napätí od 1 ÷ 1,6 V (v závislosti od teploty, záťaži, atď.).

ČINNOSŤ ČÍSLICOVÝCH IO TTL, PODMIENKY SPOLUPRÁCE S DISKRÉTNYMI SÚČIASTKAMI

Dôležitou informáciou zabezpečujúcou správnu činnosť log. obvodov sú vstupné a výstupné prúdy log. členov v zariadení. V bežných TTL obvodoch je výstup zaťažený 10 vstupmi, ak je na vstupoch úroveň log.1, tečie do nich z výstupu predchádzajúceho člena TTL výsledný prúd $400 \mu\text{A}$ ($40 \mu\text{A}$ do každého vstupu, ktorý je na úrovni + 2,4 V).

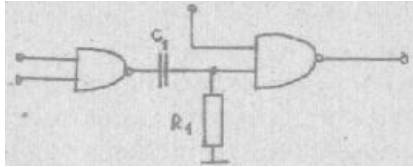
Pri prechode prúdu cez R4, T3 a D1 (obr.8) vzniká úbytok napätia $1,2 \div 1,6 \text{ V}$. Po odčítaní tohto úbytku napätia od napájacieho napätia 5 V získavame napätie 2,4 V, ktoré je na výstupe log. člena (zaťaženého 10 vstupmi). Ak je vstupná úroveň log.0, tečie do každého vstupu prúd asi 1,6 mA, lebo vlastnosti T4 (obr.8) sú také, že pri tomto prúde nie je na výstupe väčšie napätie než 0,4 V (maximálny úbytok napätia na zopnutom T4 pri prúde 16 mA). Toto sú údaje, ktorými môžeme hradlo zaťažiť.

Praktické aplikácie

1. Ak budíme log. členom umelú záťaž, môžeme výstup skratovať bez akéhokoľvek rizika. Na nesmieme zabudnúť, že maximálny prúd nakrátko je obmedzený odporom R4 (obr.8) úbytkom na T3 a D1. Pri skratovaní výstupu vzniká v obvode veľká strata, preto môže byť skratovaný len jeden výstup zo všetkých logických členov obsiahnutých v puzdre. Výstupným signálom log. obvodu môžeme napájať iba takú záťaž, ktorá je jedným vývodom pripojená na + 5 V. V tom prípade uvažujeme o tom, že napätie na záťaži sa mení v rozsahu $2 \div 5 \text{ V}$, teda nemôžeme znižovať odpor záťaže do nuly, lebo T4 (obr.8) sa zničí vplyvom veľkého prúdu.
2. V prípade návrhu obvodov ovládajúcich vstupy log. členov musíme uvažovať, že: Ak je na vstupe log. člena úroveň log.1 zaťažuje tento vstup predchádzajúci obvod prúdom $40 \mu\text{A}$. Ak chceme, aby bola na tomto vstupe úroveň + 2 V, potom sa musí spojiť vstup s kladným pólom + 5 V napájania cez odpor cca $k\Omega$.

Ak je na vstupe log. člena úroveň log.0, musíme zviešť do zeme prúd asi 1,6 mA, pre dosiahnutie úrovne = 0,8 V, čo zabezpečí odpor 470Ω , no v praxi sa volí 390Ω .

Príklad 1

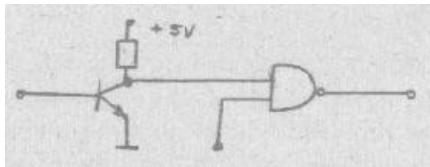


Vstup log. člena budíme z derivačného článku (obr.9)

Všeobecne ; nech je k R_1 pripojených n vstupov log. členov, potom bude výsledný odpor R_1 n krát menší.

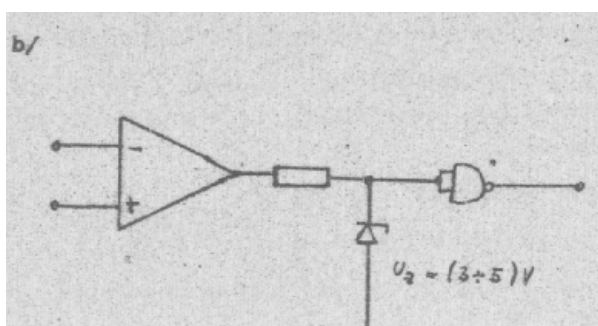
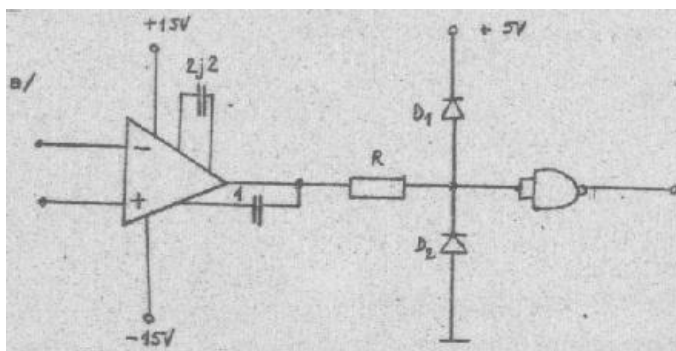
Príklad 2

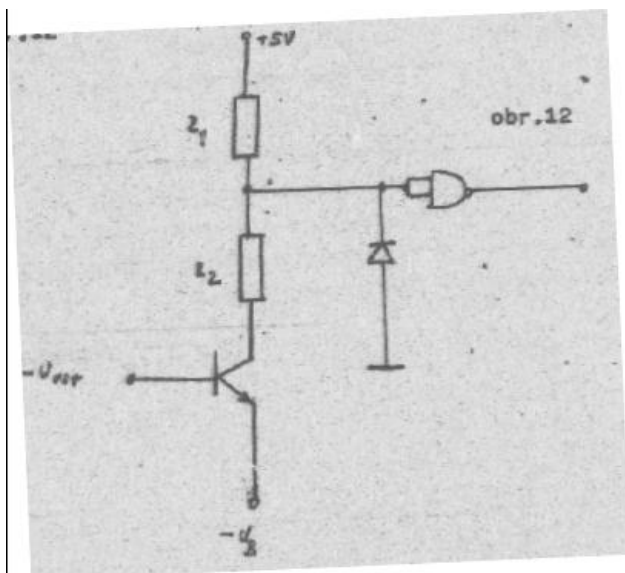
Vstup log. člena je budený tranzistorom v zapojení so SE (obr.10)



Úroveň log.0 je daná úbytkom napätia na tranzistore v zopnutom stave (bežne menšia než 0,1 V). Pri návrhu musíme rešpektovať fakt, aby súčet všetkých prúdov v kolektore nebol väčší než je maximálny dovolený prúd tranzistora a tiež aby bol zabezpečený dostatočným budiaci prúd tranzistora.

3. Pri budení log. člena výstupným komparátorom (realizovaným napr. OZ MAA 501, ktorého veľkosť budiaceho signálu je v rozsahu $-12 \div +12$ V) musíme napäťovo prispôbiť úroveň z výstupu operačného zosilňovača TTL úroveň (obr.11)





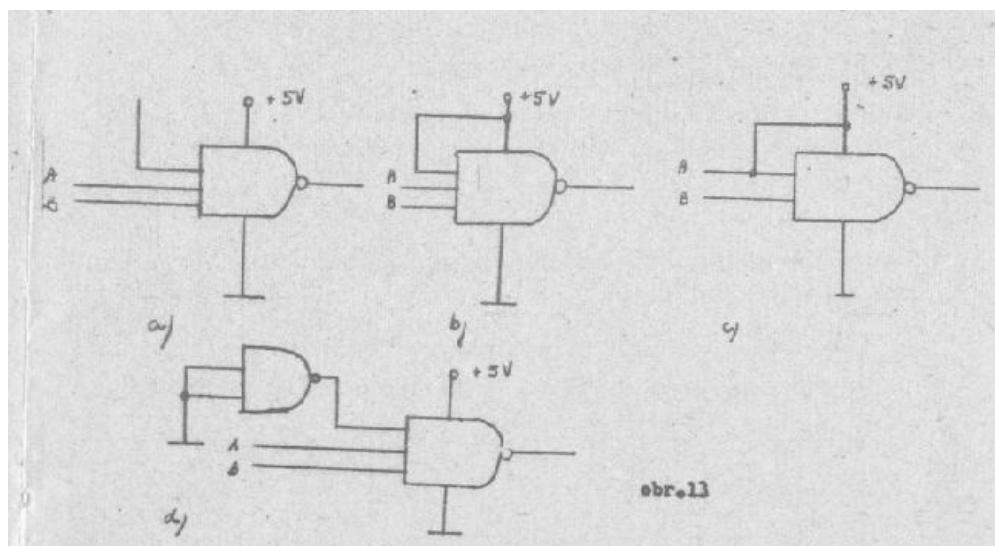
4. Prevod signálu so zápornou úrovňou je situovaný na obr.12

Ošetrenie nevyužitých vstupov

Vstupy musíme ošetriť následovne (obr.13), aby sme zabránili nepríjemným situáciám na nevyužitých vstupoch:

- Nezapojený vstup necháme voľný, v dôsledku čoho sa bude správať ako vstup s úrovňou log.1. Tento spôsob používame ojedinele.
- Analógový stav ako po a)
- d) Iné možnosti požívané v praxi

Volíme vždy spôsob, ktorý je výhodný z hľadiska návrhu plošných spojov.



ZDROJE PRE NAPÁJANIE ČÍSLICOVÝCH IO

Číslicové IO vyžadujú k správnej funkcii napájacie obvody udržiavajúce napätie 5 V s max. odchýlkou $\pm 5\%$. Najspoľahlivejšou ochranou proti rôznym prechodným javom je blokovanie napájacích obvodov kondenzátormi. Postačí i keramický kondenzátor 0,1 μF typu TK 782. Je potrebné umiestniť kondenzátor čo najbližšie k zdroju rušenia (napätové špičky pri prepájaní a pod.)

KARNAUGHOVA MAPA

Pri návrhu zložitých kombinačných obvodov vychádzame z Karnaughovej mapy, ktorá je grafickým vyjadrením pravdivostnej tabuľky logického obvodu. Pri návrhu platí:

1. Každému políčku mapy zodpovedá jeden riadok pravdivostnej tabuľky.
2. Ľavé horné políčko zodpovedá vždy riadku log.0 v pravdivostnej tabuľke.
3. Prvým krokom miniaturizácie je spojenie $2^n = 1,2,3,\dots,n$ susedných políčok, ktoré obsahujú log.1 do väčšieho políčka.

Príklad 1

Realizujeme obvod, ktorého pravdivostná tabuľka je nasledovná:

	A	B	C	Y
1.	0	0	0	0
2.	0	0	1	0
3.	0	1	0	1
4.	0	1	1	1
5.	1	0	0	0
6.	1	0	1	1
7.	1	1	0	1
8.	1	1	1	1

