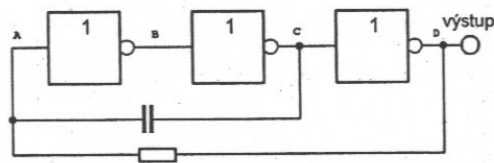


slouží pouze k tomu, aby omezil vybíjecí proud kondenzátoru a tím tedy chrání výstup hradla. Rezistor však nemá vliv na časování obvodu. Protože dobu trvání impulsu můžeme ovlivnit pouze změnou kondenzátoru, můžeme pro klasické hradlo TTL logiky vycházet z empirického vztahu $t = 140 \text{ ns}$ při $C = 100 \text{ pF}$. Závislost t a C je lineární, takže $10 \cdot t$ dosáhneme pomocí $10 \cdot C$. Rezistor 33Ω však má podstatný vliv na zotavení obvodu. Uvědomte si, že pokud přijde spouštěcí impuls dříve než se kondenzátor vybije, bude trvat kratší dobu než jeho napětí dosáhne rozhodovací úrovně a výstupní impuls bude kratší. Z tohoto hlediska je žádoucí co nejmenší odpor, ale tím je víc zatíženo předchozí hradlo. Odpor rezistoru tedy musí být kompromisem. Již jen malé upozornění. Pokud použijete hradla jiné řady, samozřejmě musíte hodnotu kondenzátoru přepočítat, nebo nastavit experimentálně.

6.4 Astabilní klopné obvody

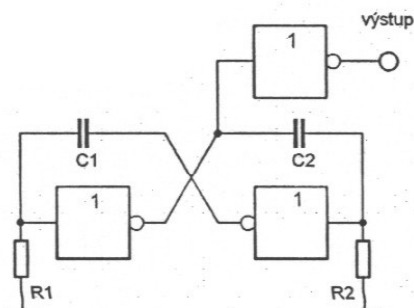
Astabilní klopné obvody jsme již dříve definovali jako takové, které periodicky mění stav na svém výstupu bez vnějšího podnětu. Někdy se obvody tohoto typu označují jako multivibrátory. V principu pak existují multivibrátory jako **asymetrické** a **symetrické**.

Příklad asymetrického řešení (můžete se setkat také s pojmenováním nesymetrické) ukazuje následující schéma. Předpokládejme, že po zapnutí bude v bodech A a C úroveň log 0. Proto na výstupu bude úroveň log 1 a přes rezistor se začne nabíjet kondenzátor. Po dosažení rozhodovací úrovně hradla překlopí a kondenzátor se začne vybíjet. V této době je v bodě C úroveň log 1 a polarita napětí na kondenzátoru je taková, že se obě napětí sčítají. Při poklesu napětí na kondenzátoru je v určitý okamžik opět dosaženo rozhodovací úrovně a hradla překlopí zpět. Uvědomte si, že rozhodovací úroveň je mezi hodnotami log 0 a log 1. To má za následek, že napětí na kondenzátoru má nyní takovou polaritu, při níž se napětí odečítá od log 0. Z uvedeného plyne, že v této době je v bodě A napětí záporné, přičemž se v průběhu jednotlivých cyklů mění polarita napětí na kondenzátoru. To vylučuje z použití elektrolytické kondenzátory. Celková jednoduchost je zaplácena ne příliš dobrými parametry. Vlivem rozptylu parametrů integrovaných obvodů není jednoduché vypočítat hodnoty součástek pro konkrétní kmitočet a tak se součástky vybírají experimentálně.



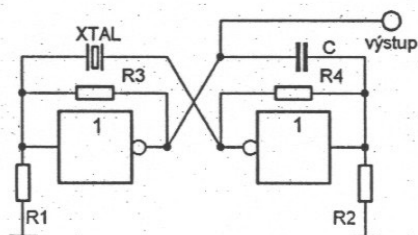
Daleko lepší parametry poskytují symetrické multivibrátory. Přitom na počet hradel nejsou náročnější, spíše naopak, ale pro každou část periody je použit samostatný rezistor a kondenzátor. To samozřejmě umožňuje navrhovat multivibrátory se střídou odlišnou od poměru 1 : 1. Navíc tento typ multivibrátoru umožňuje dosáhnout velmi dobrých parametrů jak co do přesnosti, tak co do teplotní stability kmitočtu. Toho se docílí pomocí krystalových rezonátorů.

Nejdříve tedy klasický multivibrátor, tak jak ho ukazuje následující schéma.



Popis činnosti vychází z toho, že vlivem nesymetrie při zapnutí se ustálí stav, kdy jedno hradlo má na výstupu log 1 a druhé log 0. To má za následek, že jeden z kondenzátorů se nabíjí na hodnotu napětí log 1, naopak druhý se vybíjí. Předpokládejme, že log 1 na výstupu má hradlo L - levé a tedy nabíjející se kondenzátor je C2. Vlivem nabíjecího proudu se udržuje na vstupu hradla P - pravé úroveň log 1. Nabíjecí proud C2 však postupně klesá, tím klesá i napětí na vstupu hradla P a to až do okamžiku kdy napětí přejde rozhodovací úroveň a hradlo P překlápí výstup do úrovně log 1. V ten okamžik se však začne nabíjet kondenzátor C1 a vlivem jeho nabíjecího proudu má hradlo L na svém vstupu napětí splňující podmínku log 1. I toto napětí však klesá a opět tak dlouho než přejde rozhodovací úroveň. Pak se změní výstup hradla L na log 1 a kondenzátor C2, který se mezi tím vybil se znovu začne nabíjet. Celý cyklus se periodicky opakuje. Jistě jste si povšimli, že předpokládáme vybití druhého kondenzátoru, zatímco první se nabíjí. To můžeme pokládat za splněné, protože zatímco nabíjení je dáno především hodnotou rezistoru R1 resp. R2 (hodnota R je mnohem větší než výstupní odpor hradla v log 1), ale vybíjení se kromě proudu do rezistoru účastní i vstupní proud hradla v log 0. Perioda výstupního signálu je pak dána součtem obou částí a tedy $T = R1 \cdot C1 + R2 \cdot C2$. Pokud použijeme střidu 1 : 1 je perioda $T = 2RC$. Tento vztah je přibližný, protože skutečná hodnota je ovlivňována napájecím napětím, teplotou i rozptylem skutečných parametrů hradel. Pro standardní TTL logiku se R volí v rozsahu 1 až 5 kΩ a dosahované kmitočty jsou až 10 MHz.

Již bylo zmíněno, že nejlepších parametrů můžeme dosáhnout pomocí krystalu. Zapojení takového multivibrátoru je velmi podobné tomu předchozímu, protože největší změnou je náhrada jednoho z kondenzátorů krystalem.

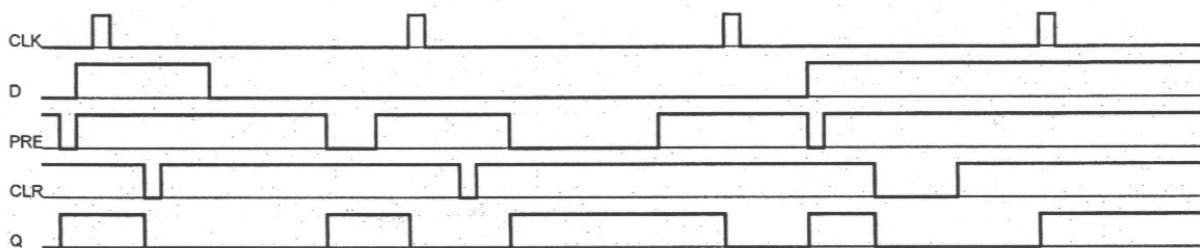


Přes jednoduchost zapojení je třeba upozornit na volbu velikosti jednotlivých obvodových součástek. Hodnota odporu jednotlivých rezistorů se volí stejná, obvykle 1 až 2 kΩ, ale není kritická. Podstatně větší váhu má volba hodnoty kondenzátoru. Aby kondenzátor neovlivňoval dobu trvání především druhé části periody, musí být časová konstanta zvolena tak, aby se kondenzátor nestihl nabít a vybit. Pro volbu kondenzátoru tedy používáme vztah

$$C \geq f/R \quad [F; Hz; \Omega]$$

6.5 Synchronní a asynchronní

Již v části vysvětlující bistabilní klopné obvody jsme se setkali se dvěma druhy vstupů, posuzováno z hlediska přenosu změny logické úrovně na výstup. Jednak to byly ty, pro které změna na výstupu nastala okamžitě se změnou na vstupu. Druhé pak byly ty, kde se změna na výstup přenesla až v okamžiku příchodu hodinového impulsu. Rozdíl je to podstatný a velmi důležitý. Proto mají oba případy své vlastní pojmenování. Vstupy, pro které platí, že se změna přenáší okamžitě, nazýváme asynchronní. Vstupy, pro které platí, že se změna přenáší až s příchodem hodinového impulsu nazýváme synchronní. Synchronnost je vázána právě na hodinový signál. Připomeňme si obvod 74LS74. Ten má vstupy CLK, D, CLR a PRE. Obrázek pak ukazuje možný průběh signálů.



Rozdělme si tyto vstupy na synchronní a asynchronní. Změna úrovně na vstupu D se na výstup přenese až s příchodem hodinového impulsu. Jedná se tedy o vstup synchronní. Naopak úroveň log 0 na vstupu CLR okamžitě vynuluje výstup Q. Podobně úroveň log 0 na vstup PRE okamžitě výstup nastaví. Tyto vstupy jsou tedy asynchronní. Jistě vás teď napadlo, jak je to se vstupem CLK. Může být signál synchronní nebo asynchronní sám se sebou? Ne nemůže, tento signál je zcela mimo a je to tzv. synchronizační signál. Uvědomte si, že synchronnost je vlastně časový vztah dvou signálů. Tedy, když jsou dva signály v takové vazbě, že se vždy mění současně, považujeme je za synchronní. Pokud jsou změny časově různé jsou to signály asynchronní. Samozřejmě mají asynchronní vstupy „převahu“ nad synchronními. Tedy pomocí asynchronního vstupu může být výstup nastaven tak, že se se změna na synchronním vstupu neuplatní. V souvislosti se synchronními vstupy je třeba ještě upozornit na dva parametry. Je to tzv. **předstih** a **přesah**. Jsou to časy, o které musí být na synchronním vstupu signál v ustáleném stavu před příchodem synchronizačního signálu a o kolik musí ještě zůstat po jeho skončení. Pojmy synchronní a asynchronní i předstih a přesah platí pro všechny sekvenční obvody. Toto rozdělení platí i pro vlastní obvody. RS je asynchronní, ale RST je synchronní.