

## 5.7 Obvod ECL

E emitter  
C coupled  
L logic

**Definícia:** Obvod ECL je obvod viazaný v emitoroch, ktorou vlastnosťou je veľmi vysoká pracovná rýchlosť.

čas prenosu hradla:  $1 \div 4 \text{ ns}$

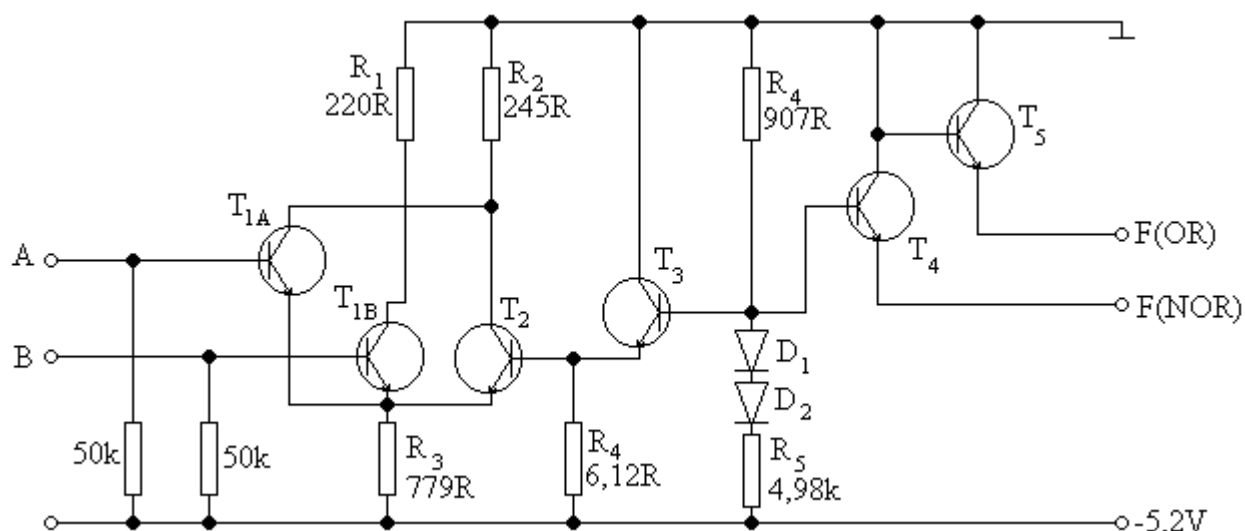
maximálna frekvencia  $150 \div 500 \text{ MHz}$

Nedostatkom týchto obvodov sa javí vysoký odoberaný výkon, ktorý sa uvádza  $20 \div 60 \text{ mW/hradlo}$ .

**Použitie: v číslicových systémoch s vysokou pracovnou rýchlosťou**

Principiálne obvod hradla tvoria tranzistory  $T_1$  a  $T_2$  s viazanými emitorami, pracujúce v zapojení rozdielového zosilňovača.

Na bázu  $T_2$  sa privádza referenčné napätie  $U_{\text{ref}}$  zo stabilizačného obvodu tvoreného súčiastkami  $T_3$ ,  $D_1$ ,  $D_2$ ,  $R_4$ ,  $R_5$  a  $R_6$ , ktoré nastavuje logický prah hradla.



### Činnosť hradla:

Ak sú obidva vstupy A, B na nízkej; napät'ovej úrovni zodpovedajúcej logickej 0 ( $0,0 \div 0,8V$ ) vtedy budú tranzistory  $T_{1A}$ ,  $T_{1B}$  uzavreté. Tranzistor  $T_2$  je vo vodivom stave. Celý emitorový prúd  $I_E$  tečie cez kolektorový odpor  $R_2$  a vyvolá na ňom veľký úbytok napätia.

V dôsledku toho sa na výstupe F (OR) objaví nízky potenciál zodpovedajúci logickej 0. Súčasne na výstup  $\bar{F}$ (NOR) sa objaví vysoký potenciál zodpovedajúci logickej 1.

Privedením logickej 1 na jeden zo vstupov A,B spôsobí uvedenie  $T_{1A}$  alebo  $T_{1B}$  do vodivého stavu. Tečie ním celý emitorový prúd  $I_E$  a  $T_2$  sa uzavrie. Preto sa stavy výstupov zmenia na opačné, t.j. na F(OR) je logická 1 a na F(NOR) logická 0.

Obvod teda realizuje funkciu

Logickej sumy OR na výstupe F  $F=A+B$

Negáciu logickej sumy NOR na výstupe  $\bar{F}$   $\bar{F}=\overline{A+B}$

Rozdiel logických úrovní obvodov ECL je malý ( $0,8 \div 0,9V$ )

⇒ obvody sú citlivé na rušivé vplyvy – poruchové signály, zmeny napájacích napätí, zmeny teploty.